

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252373

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
G02F 1/1365  
G09F 9/30  
H01L 27/115  
H01L 27/10  
H01L 29/786  
H04N 5/66

(21)Application number : 11-056888

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1999

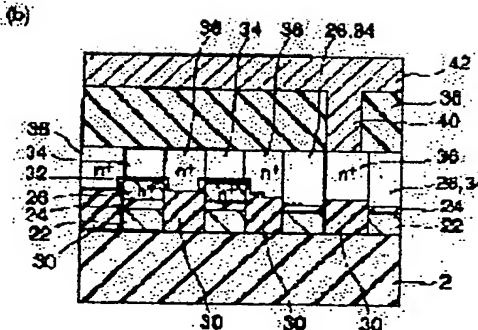
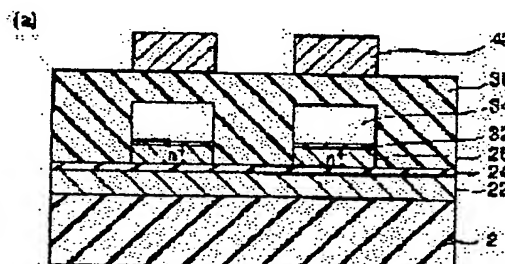
(72)Inventor : SHIMIZU KAZUHIRO  
ARITOME SEIICHI

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY, DISPLAY PROVIDED THEREWITH AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve performance and reduce cost by manufacturing a memory in the same manufacturing process as that for a thin film transistor for driving pixels.

SOLUTION: In memory cells of a non-volatile semiconductor memory, a charge storage layer 26 is formed on a control gate 22 made of high melting point metal formed on a glass substrate 2 through a gate insulating film 24, and an active layer 34 which process at right angles with the control gate 22 is formed through an insulating film 32 for transferring charges. In the active layer 34 between the control gates 22, a source and drain region 36 is formed. In a transistor for driving pixels of an image indicating section 4 formed on the same glass substrate 2, an active layer 28 is formed on the control gate 22 formed on the glass substrate 2 through the gate insulating film 24, and the active layer 34 is formed on the active layer 28. The source and drain region 36 is formed in the active layer 34 on both sides of the control gate 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-252373

(P2000-252373A)

(43) 公開日 平成 12 年 9 月 14 日 (2000.9.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1 2 H 0 9 2
29/788		G 0 9 F 9/30	3 3 8 5 C 0 5 8
29/792		H 0 1 L 27/10	4 8 1 5 C 0 9 4
G 0 2 F 1/1365		H 0 4 N 5/66	1 0 2 A 5 F 0 0 1
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 0 8 3
審査請求 未請求 請求項の数 15 O L (全 17 頁) 最終頁に続く			

(21) 出願番号 特願平 11-56888

(22) 出願日 平成 11 年 3 月 4 日 (1999.3.4)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 清水 和裕

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 有留 誠一

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

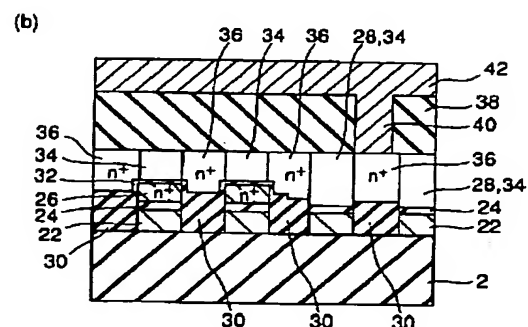
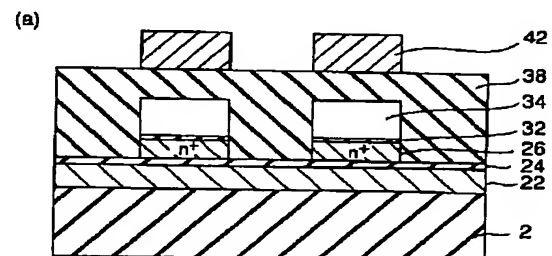
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ、不揮発性半導体メモリを備えた表示装置及びその製造方法

# (57) 【要約】

【課題】画素駆動用の薄膜トランジスタと同一の製造工程を用いて、高性能化及び低コスト化を達成することができる不揮発性半導体メモリを備えた表示装置及びその製造方法を提供する。

【解決手段】不揮発性半導体メモリ 1 2 のメモリセルでは、ガラス基板 2 上の高融点金属材料の制御ゲート 2 2 上にゲート絶縁膜 2 4 を介して電荷蓄積層 2 6 が形成され、さらに電荷授受用絶縁膜 3 2 を介して制御ゲート 2 2 と交差する活性層 3 4 が形成されている。制御ゲート 2 2 間の活性層 3 4 には、ソース・ドレイン 3 6 が形成されている。また、同一のガラス基板 2 上に形成される画像表示部 4 の画素駆動用トランジスタでは、ガラス基板 2 上の制御ゲート 2 2 上にゲート絶縁膜 2 4 を介して活性層 2 8 が形成され、さらに活性層 2 8 上に活性層 3 4 が形成されている。制御ゲート 2 2 の両側の活性層 3 4 には、ソース・ドレイン 3 6 が形成されている。



【特許請求の範囲】

【請求項 1】 基板上に形成された高融点金属材料からなる制御ゲートと、  
前記制御ゲート上に形成された絶縁膜と、  
前記絶縁膜上に形成された電荷蓄積層と、  
前記電荷蓄積層上に形成された電荷授受用絶縁膜と、  
前記電荷授受用絶縁膜上に形成された半導体層と、  
前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインと、  
を具備することを特徴とする不揮発性半導体メモリ。

【請求項 2】 基板上に形成された高融点金属材料からなる複数の制御ゲートと、  
前記制御ゲート上に形成された絶縁膜と、  
前記絶縁膜上に形成された電荷蓄積層と、  
前記電荷蓄積層上に形成された電荷授受用絶縁膜と、  
前記電荷授受用絶縁膜上に、前記複数の制御ゲートと交差するように各々が電氣的に分離されて配置された複数の半導体層と、  
前記複数の制御ゲート間に位置する前記半導体層に形成されたソース・ドレインとを具備し、  
前記制御ゲート、前記電荷蓄積層、及び前記半導体層を有するメモリセルトランジスタが前記ソース・ドレインにより他のメモリセルと接続されてメモリセルアレイを構成することを特徴とする不揮発性半導体メモリ。

【請求項 3】 前記絶縁膜は、前記制御ゲートを形成する前記高融点金属材料の酸化膜を含むことを特徴とする請求項 1 または 2 記載の不揮発性半導体メモリ。

【請求項 4】 前記電荷蓄積層は前記制御ゲートと一方向の側端位置が略一致するように形成されており、前記ソース・ドレインは前記制御ゲート及び前記電荷蓄積層と一方向の側端位置が略一致するように形成されていることを特徴とする請求項 1、2 または 3 記載の不揮発性半導体メモリ。

【請求項 5】 基板上に形成された制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に形成された半導体層と、前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有するメモリセルと、  
前記基板上に形成された前記制御ゲートと、前記制御ゲート上に形成された前記絶縁膜と、前記絶縁膜上に形成されたチャネル領域と、前記チャネル領域上に、このチャネル領域と電氣的に接続されるように形成された前記半導体層と、前記半導体層における前記チャネル領域上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有する電界効果型トランジスタと、  
を具備することを特徴とする不揮発性半導体メモリ。

【請求項 6】 第 1 の絶縁膜を介在させつつ積層形成さ

れた電荷蓄積層と制御ゲートの積層ゲート構造と、電荷授受用絶縁膜を介してその一部が前記電荷蓄積層と対向するように形成された第 1 の半導体層と、前記第 1 の半導体層における前記電荷蓄積層と対向する領域を挟持するように前記第 1 の半導体層に形成された第 1 のソース・ドレインとを有するメモリセルと、  
前記制御ゲートと同一層からなるゲート電極と、前記第 1 の絶縁膜と同一層からなる第 2 の絶縁膜を介して前記ゲート電極と対向するように形成された前記電荷蓄積層と同一層からなるチャネル領域と、前記チャネル領域に電氣的に接続されるように形成された前記第 1 の半導体層と同一層からなる第 2 の半導体層と、前記第 2 の半導体層における前記チャネル領域に直接接続された領域を挟持するように前記第 2 の半導体層に形成された第 2 のソース・ドレインとを有する電界効果型トランジスタと、  
を具備することを特徴とする不揮発性半導体メモリ。

【請求項 7】 前記電界効果型トランジスタは、前記メモリセルに接続される選択ゲートトランジスタを構成することを特徴とする請求項 5 または 6 記載の不揮発性半導体メモリ。

【請求項 8】 基板上に形成された制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に形成された半導体層と、前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有するメモリセルと、  
前記基板上に形成された前記制御ゲートと、前記制御ゲート上に形成された前記絶縁膜と、前記絶縁膜上に形成されたチャネル領域と、前記チャネル領域上に、このチャネル領域と電氣的に接続されるように形成された前記半導体層と、前記半導体層における前記チャネル領域上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有する電界効果型トランジスタとを具備し、  
前記電界効果型トランジスタは、前記基板上に形成された表示手段の画素駆動用のトランジスタ及び前記表示手段を駆動するための周辺回路用のトランジスタの少なくとも一方を含んでいることを特徴とする不揮発性半導体メモリを備えた表示装置。

【請求項 9】 前記制御ゲートは高融点金属材料からなり、前記絶縁膜は前記高融点金属材料の酸化膜を含むことを特徴とする請求項 8 記載の不揮発性半導体メモリを備えた表示装置。

【請求項 10】 前記表示手段は、薄膜トランジスタ駆動型の液晶表示装置であることを特徴とする請求項 8 または 9 記載の不揮発性半導体メモリを備えた表示装置。

【請求項 11】 メモリセルと電界効果型トランジスタを有する不揮発性半導体メモリの製造方法において、

基板上にゲート電極を形成する工程と、  
前記ゲート電極上に絶縁膜を形成する工程と、  
前記絶縁膜上に第 1 の半導体層を形成する工程と、  
前記第 1 の半導体層、前記絶縁膜、前記ゲート電極を自己整合的にエッチングする工程と、  
メモリセル側で選択的に前記第 1 の半導体層に不純物を導入して電荷蓄積層を形成し、電界効果型トランジスタ側では前記第 1 の半導体層をそのまま残す工程と、  
基板全面に絶縁材を堆積した後、前記絶縁材を後退させて前記電荷蓄積層の上面及び前記第 1 の半導体層の上面を露出させる工程と、  
露出した前記電荷蓄積層の上面及び前記第 1 の半導体層の上面に電荷授受用絶縁膜を形成した後、パターニングして前記電荷蓄積層の上面に選択的に残す工程と、  
メモリセル側では前記電荷授受用絶縁膜上に第 2 の半導体層を形成し、電界効果型トランジスタ側では前記第 1 の半導体層上に前記第 2 の半導体層を形成する工程と、  
前記ゲート電極の上方の領域以外の前記第 2 の半導体層を選択的に熔融した後、結晶化させることで、熔融した前記第 2 の半導体層に選択的に前記不純物を拡散してソース・ドレインを形成する工程と、  
を具備することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 1 2】メモリセル、選択ゲートトランジスタを有する不揮発性半導体メモリと、表示手段の画素駆動用のトランジスタと、前記表示手段を駆動するための周辺回路用のトランジスタとを有する不揮発性半導体メモリを備えた表示装置の製造方法において、  
基板上にゲート電極を形成する工程と、  
前記ゲート電極上に絶縁膜を形成する工程と、  
前記絶縁膜上に第 1 の非晶質シリコン膜を形成する工程と、  
前記第 1 の非晶質シリコン膜、前記絶縁膜、前記ゲート電極を自己整合的にエッチングする工程と、  
メモリセル側で選択的に前記第 1 の非晶質シリコン膜に不純物を導入して高不純物濃度の非晶質シリコン膜を形成し、その他のトランジスタ側では前記第 1 の非晶質シリコン膜をそのまま残す工程と、  
メモリセル、選択ゲートトランジスタ、及び周辺回路用のトランジスタ側で選択的に、前記高不純物濃度の非晶質シリコン膜及び前記第 1 の非晶質シリコン膜に紫外光を照射して、それぞれ高不純物濃度の多結晶シリコン膜からなる電荷蓄積層、及び多結晶シリコン膜からなる第 1 の半導体層を形成する工程と、  
基板全面に絶縁材を堆積した後、前記絶縁材を後退させて前記電荷蓄積層の上面、前記第 1 の半導体層の上面、及び画素駆動用のトランジスタ側の前記第 1 の非晶質シリコン膜の上面を露出させる工程と、  
露出した前記電荷蓄積層の上面、前記第 1 の半導体層の上面、及び前記第 1 の非晶質シリコン膜の上面に、電荷

授受用絶縁膜を形成した後、パターニングして前記電荷蓄積層の上面に選択的に残す工程と、  
メモリセル側では前記電荷授受用絶縁膜上に第 2 の非晶質シリコン膜を形成し、選択ゲートトランジスタ及び周辺回路用のトランジスタ側では前記第 1 の半導体層上に前記第 2 の非晶質シリコン膜を形成し、画素駆動用のトランジスタ側では前記第 1 の非晶質シリコン膜上に前記第 2 の非晶質シリコン膜を形成する工程と、  
メモリセル、選択ゲートトランジスタ、及び周辺回路用のトランジスタ側で選択的に、前記第 2 の非晶質シリコン膜に紫外光を照射して結晶化し、多結晶シリコン膜からなる第 2 の半導体層を形成する工程と、  
前記ゲート電極の上方の領域以外の前記第 2 の半導体層及び前記第 2 の非晶質シリコン膜を選択的に熔融した後、結晶化させることで、熔融した前記第 2 の半導体層及び前記第 2 の非晶質シリコン膜に選択的に不純物を拡散してソース・ドレインを形成する工程と、  
を具備することを特徴とする不揮発性半導体メモリを備えた表示装置の製造方法。

【請求項 1 3】前記第 1、第 2 の半導体層は、ノンドープの多結晶シリコン膜であることを特徴とする請求項 1 1 記載の不揮発性半導体メモリの製造方法。

【請求項 1 4】前記ソース・ドレインを形成する工程は、前記基板のゲート電極が形成された面の逆面側から前記基板を実質的に透過する紫外光を照射する工程を含むことを特徴とする請求項 1 1 記載の不揮発性半導体メモリの製造方法。

【請求項 1 5】前記ソース・ドレインを形成する工程は、前記基板のゲート電極が形成された面の逆面側から前記基板を実質的に透過する紫外光を照射する工程を含むことを特徴とする請求項 1 2 記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体メモリ及び表示装置に係わり、特に表示情報を記憶可能な不揮発性半導体メモリを備えた表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】人間と電子部品の間であって人間の五感に対応するマン・マシン・インタフェースは、微細化がますます進む L S I 部品と我々の架け橋として非常に重要な役割を持っている。特に、視覚情報である画像情報は最も大量の情報であるため、画像情報を扱う画像機器は極めて精巧かつ大容量化が望まれている。中でも画像情報を直接我々に与える画像表示装置は、大容量化、大画面化、高精細化、高密度化、小スペース化、薄膜化、低消費電力化、及び低コスト化等の要求を全て満たすことが必要なため、従来の C R T では今後の対応が困難である。

【0003】CRTに対して、大画面化、高精細化あるいは薄膜化、小スペース化が可能な液晶ディスプレイは、最も有望なフラットパネルディスプレイであると考えられている。さらに、液晶ディスプレイの中でも、1つの画素を1つのスイッチング素子で駆動するアクティブマトリクス型は単純マトリクス型に比べてクロストークが生じにくい、高精細ディスプレイに適している。画素駆動用のスイッチング素子としては、オンオフ比の大きなMOS型トランジスタ、いわゆる薄膜トランジスタ（以下TFTと記す）が入出力を分離できるので最も優れている。つまり、近年、画素をTFTで駆動するTFT液晶ディスプレイが最も有望なディスプレイとなっている。

【0004】TFT液晶ディスプレイのプロジェクタ型では、高温プロセスが可能な石英基板上にLSI技術を用いて微細なTFTが形成されている。このプロジェクタ型では、高温プロセスが可能なため、600℃以上で形成する高温多結晶シリコンを活性材料として用いることができる。

【0005】一方、TFT液晶ディスプレイの反射型では、画面そのものがパネルであるため、安価で透明なガラスが基板に用いられる。この反射型では、数インチ以上の大面積にわたってガラス基板の平坦性を維持するために350℃以上の熱プロセスを用いることができないため、従来LSIで駆使されている熱酸化やイオン注入等のプロセスを用いることは非常に難しいという問題がある。そこで、活性層には、350℃以下の低温堆積が可能な水素化非晶質シリコンが使用される。また、熱酸化によるゲート絶縁膜の形成が困難であるので、ゲート絶縁膜にも低温堆積膜、例えば2酸化シリコン膜、窒化シリコン膜や低抵抗の高融点金属（例えばタンタル、クロム、モリブデン、アルミニウム）の酸化膜が用いられる。

【0006】図10に、一般的な液晶ディスプレイにおける画素駆動用TFTの断面図を示す。この画素駆動用TFTは、LSIのMOSFETで用いられるプレーナ構造と異なり、ガラス基板100上のゲート電極102が活性層104よりも下側に位置するボトムゲート型構造（逆スタガ構造）となっている。ボトムゲート型構造では、ゲート電極102を形成した後、ゲート絶縁膜106の形成とその後の活性層104の形成を連続的に行うことができる。このため、ゲート絶縁膜106と活性層104の形成時に真空を破らず連続的な堆積が可能となり、ゲート界面の高清浄度を保つことができる。これにより、ボトムゲート型TFTは、ゲート電極が活性層よりも上側に位置するトップゲート型TFTよりも高移動度を得ることができる。なお、活性層104上には、ソース、ドレイン108が形成されている。

【0007】TFT液晶ディスプレイでは、ワード線とデータ線が交差するように配置されており、これらの交

点に1つのTFTと1つの液晶画素が配置される。さらに、TFTのゲートがワード線に、TFTのドレインがデータ線に、TFTのソースが液晶画素に接続されている。そして、ワード線に“High”信号が入力するとTFTのゲートがオン状態になり、データ線から入力される信号に対応してTFTのドレイン電流が流れて液晶に電圧が印加される。これにより、前記液晶画素が駆動され、表示状態あるいは非表示状態となる。

【0008】この画素駆動用TFTでは、LSIに用いられるMOSFETに比べて高速な動作は要求されないため、オン電流がLSIよりも非常に小さくても十分動作する。しかし、オフ電流が流れると液晶に印加されている電圧が低下するため、液晶画素が誤動作してしまう。このため、画素駆動用TFTには、活性層に非晶質シリコンを用いたオン／オフ比が非常に大きな非晶質シリコンTFTが一般に用いられている。なお、非晶質シリコンの代わりに低温多結晶シリコンが用いられる場合もある。

【0009】これに対して、ワード線に信号を印加するシフトレジスタやデータ線に信号を送るラッチ回路に用いられるMOSFET（周辺回路）では、CMOS駆動することで直流のオフ電流は低減できるが、高速回路動作を行うために高オン電流が必要となる。そのため、電界効果移動度がMOSFETの1000分の1程度（1～2cm<sup>2</sup>/Vs）しかない非晶質シリコンTFTでは回路を駆動することができない。そこで、LSIを液晶ディスプレイパネル外に配置しておき、ボンディングやTABにより信号線と接続するという手法がある。しかし、この手法では、接続歩留まりによって液晶ディスプレイ全体の歩留まりが下がってしまうという問題がある。この問題は、非常に多くの信号線が必要な高品位テレビ等では信号線ピッチが狭くなるため、大きな問題となる。

【0010】この問題を解決するために、非晶質シリコンTFTよりも高移動度を得られ、LSI並みの高速動作が期待できる、活性層に多結晶シリコンを用いた多結晶シリコンTFTを周辺回路に用いて、この周辺回路も液晶ディスプレイパネル上に形成するオンチップ化が行われている。この場合、350℃程度までの熱プロセスしか許されないガラス基板上に非晶質シリコンと多結晶シリコンを形成する方法として、エキシマレーザ結晶化技術等が用いられる。この技術を用いれば、液晶ディスプレイパネル上で多結晶シリコンが必要な周辺回路部の非晶質シリコンを溶融再結晶化により多結晶化することができる。これにより、液晶画素駆動用の非晶質シリコンTFT（画素駆動用TFT）と周辺回路用の多結晶シリコンTFT（周辺回路用TFT）を同一のガラス基板上に形成することが可能となる。前述したように、画素駆動用TFTはボトムゲート型構造であるため、周辺回路用TFTもまたボトムゲート型構造とすれば一層オン

チップ化に有利である。

【0011】一方、液晶ディスプレイに表示された画像情報は、液晶ディスプレイの外部に設けられたLSIメモリに送信されてFAX、プリンタ等の情報携帯機器に出力されるが、この場合扱うことができる情報容量は外付けのLSIメモリにより決まってしまうため高速動作、大容量化は困難である。

【0012】これを解決するためには、液晶ディスプレイを駆動するための周辺回路を液晶ディスプレイパネル上にオンチップ化したように、EEPROM等の不揮発性半導体メモリを液晶パネル上にオンチップ化して、画像情報を記憶させておくことが有効である。このようにすれば、液晶パネル上のEEPROMが画像情報を記憶することで、今後爆発的に増加する画像情報をいったん液晶パネル上でストアできるため、LSIが実際に処理できるデータ容量は実効的に大幅に増加する。

【0013】なお、上記の方法を実現するためには、LSIで用いられているEEPROM、このEEPROMの中でもハードディスクや磁気テープと同様にセクタ単位で書き換えできるフラッシュメモリを液晶パネル上に形成しなければならない。フラッシュメモリなどのEEPROMは、電氣的にデータの書き換えが可能な不揮発性半導体メモリの一種であり、電荷蓄積層と制御ゲートの積層ゲート構造を持つMOSトランジスタ構造のメモリセルを用いたものが知られている。

【0014】図11に、EEPROMの一つであるFETMOS型EEPROMのメモリセル構造を示す。図11(a)はEEPROMのメモリセルの平面図であり、図11(b)は平面図中の11b-11bに沿った断面図である。

【0015】半導体基板110には、素子分離領域としての素子分離絶縁膜112が形成されている。この素子分離絶縁膜112の下には、チャネルストップとしてp+型層114が形成されている。このように素子分離された半導体基板110上の半導体活性領域116の全面には、トンネル電流が流れ得る薄い第1のゲート絶縁膜118が形成される。この第1のゲート絶縁膜118上には、電荷蓄積層となる第1のゲート電極120が形成される。さらに、この第1のゲート電極120上には、第2のゲート絶縁膜122を介して制御ゲートとなる第2のゲート電極124が形成されている。

【0016】電荷蓄積層である前記第1のゲート電極120は、素子分離領域の素子分離絶縁膜112上で所望の空隙を持ってスリット状に切断される。また、第1のゲート電極120と第2のゲート電極124は、チャネル長方向には同じマスクを用いて連続的にパターンニングされることによりそのエッジが揃えられる。そして、これら第1、第2のゲート電極120、124をマスクとして不純物をイオン注入して、ソース、ドレインが形成されている。さらに、第2のゲート電極124上には、

層間絶縁膜126を介してビット線128が形成されている。また、ワード線(第2のゲート電極)124間には1つおきにソース線130及びメモリセルのドレインとビット線128を接続するビット線コンタクト132が形成されている。このように、従来のLSIで用いられているフラッシュEEPROMは、ゲートが活性層の上部に位置するトップゲート構造を有している。

【0017】

【発明が解決しようとする課題】従来のトップゲート構造を有するフラッシュEEPROMを、ボトムゲート構造を有する画素駆動用のTFTが形成された基板上にオンチップ化することは非常に困難である。すなわち、フラッシュEEPROMのメモリセルと画素駆動用のTFTとを同一基板上に形成することは困難である。

【0018】フラッシュEEPROMを液晶パネル上にオンチップ化するために、そのメモリセルをボトムゲート構造とした場合、積層ゲート構造のメモリセルと単層ゲート構造のTFTを同一構造とすることが非常に困難となる。例えば、製造方法として、一旦堆積したゲート材をTFT部のみ剥離してから改めてゲート材を堆積するという方法により、メモリセルを積層構造に、TFTを単層構造にと作り分けることができる。しかし、この製造方法では工程数が増えるため、コスト増、歩留まり低下が懸念される。

【0019】また、制御ゲートが電荷蓄積層の下側に配置される場合、制御ゲートと電荷蓄積層を自己整合的に加工することが困難となり合わせ余裕をとる必要が生じるため、メモリセルの面積増加、コストの増加という問題も生じる。

【0020】この発明は、前記事情を考慮してなされたものであり、表示装置の画素駆動用の薄膜トランジスタと同一の製造工程を用いて、工程数の増加やコストの増加を抑えて形成可能な不揮発性半導体メモリを実現することにより、高性能化及び低コスト化を達成することができる不揮発性半導体メモリを備えた表示装置及びその製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】前記目的は、この発明に係る不揮発性半導体メモリにおいて以下の手段によって達成される。

【0022】この発明に係る不揮発性半導体メモリは、基板上に形成された高融点金属材からなる制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に形成された半導体層と、前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを具備することを特徴とする。

【0023】このように構成された不揮発性半導体メモ



リによれば、メモリセルが低抵抗な金属の制御ゲートを有するボトムゲート構造からなっているため、画素駆動用、特に液晶画素駆動用のTFTと構造を整合させることが可能であり、かつ配線抵抗を下げることができるため、微細化に有利である。

【0024】また、この発明に係る不揮発性半導体メモリは、基板上に形成された高融点金属材からなる複数の制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に、前記複数の制御ゲートと交差するように各々が電氣的に分離されて配置された複数の半導体層と、前記複数の制御ゲート間に位置する前記半導体層に形成されたソース・ドレインとを具備し、前記制御ゲート、前記電荷蓄積層、及び前記半導体層を有するメモリセルトランジスタが前記ソース・ドレインにより他のメモリセルと接続されてメモリセルアレイを構成することを特徴とする。

【0025】このように構成された不揮発性半導体メモリによれば、メモリセルが低抵抗な金属の制御ゲートを有するボトムゲート構造からなっているため、画素駆動用、特に液晶画素駆動用のTFTと構造を整合させることが可能であり、かつ配線抵抗を下げることができるため、微細化に有利である。さらに、液晶画素駆動用のTFTと同一のボトムゲート構造のメモリセルがアレイ状に配置されて大容量のメモリセルアレイを構成するため、液晶画素を駆動するデータを一時記憶させるキャッシュメモリあるいはラッチとして用いるのに有利である。

【0026】また、この発明に係る不揮発性半導体メモリは、基板上に形成された制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に形成された半導体層と、前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有するメモリセルと、前記基板上に形成された前記制御ゲートと、前記制御ゲート上に形成された前記絶縁膜と、前記絶縁膜上に形成されたチャンネル領域と、前記チャンネル領域上に、このチャンネル領域と電氣的に接続されるように形成された前記半導体層と、前記半導体層における前記チャンネル領域上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有する電界効果型トランジスタとを具備することを特徴とする。

【0027】このように構成された不揮発性半導体メモリによれば、ボトムゲート型のメモリセルの電荷蓄積層と電界効果型トランジスタの活性領域を同一材料から形成するため、堆積した電極材を剥離する必要がない。このため、プロセス制御性に優れ、工程数の増加を引き起

こすことがない。

【0028】また、この発明に係る不揮発性半導体メモリは、第1の絶縁膜を介在させつつ積層形成された電荷蓄積層と制御ゲートの積層ゲート構造と、電荷授受用絶縁膜を介してその一部が前記電荷蓄積層と対向するように形成された第1の半導体層と、前記第1の半導体層における前記電荷蓄積層と対向する領域を挟持するように前記第1の半導体層に形成された第1のソース・ドレインとを有するメモリセルと、前記制御ゲートと同一層からなるゲート電極と、前記第1の絶縁膜と同一層からなる第2の絶縁膜を介して前記ゲート電極と対向するように形成された前記電荷蓄積層と同一層からなるチャンネル領域と、前記チャンネル領域に電氣的に接続されるように形成された前記第1の半導体層と同一層からなる第2の半導体層と、前記第2の半導体層における前記チャンネル領域に直接接続された領域を挟持するように前記第2の半導体層に形成された第2のソース・ドレインとを有する電界効果型トランジスタとを具備することを特徴とする。

【0029】このように構成された不揮発性半導体メモリによれば、メモリセルの電荷蓄積層と電界効果型トランジスタの活性領域を同一層から形成するため、堆積した電極材を剥離する必要がない。このため、プロセス制御性に優れ、工程数の増加を引き起こすことがない。

【0030】また、この発明に係る不揮発性半導体メモリを備えた表示装置は、基板上に形成された制御ゲートと、前記制御ゲート上に形成された絶縁膜と、前記絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された電荷授受用絶縁膜と、前記電荷授受用絶縁膜上に形成された半導体層と、前記半導体層における前記電荷蓄積層上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有するメモリセルと、前記基板上に形成された前記制御ゲートと、前記制御ゲート上に形成された前記絶縁膜と、前記絶縁膜上に形成されたチャンネル領域と、前記チャンネル領域上に、このチャンネル領域と電氣的に接続されるように形成された前記半導体層と、前記半導体層における前記チャンネル領域上の領域を挟持するように前記半導体層に形成されたソース・ドレインとを有する電界効果型トランジスタとを具備し、前記電界効果型トランジスタは、前記基板上に形成された表示手段の画素駆動用のトランジスタ及び前記表示手段を駆動するための周辺回路用のトランジスタの少なくとも一方を含んでいることを特徴とする。

【0031】このように構成された不揮発性半導体メモリを備えた表示装置によれば、同一の基板上に、ボトムゲート構造を有するメモリセルと、同様にボトムゲート構造を有する画素駆動用のトランジスタ及び周辺回路用のトランジスタを形成できるため、表示装置の高性能化を実現できる。

【0032】また、この発明に係る不揮発性半導体メモ



リの製造方法は、メモリセルと電界効果型トランジスタを有する不揮発性半導体メモリの製造方法において、基板上にゲート電極を形成する工程と、前記ゲート電極上に絶縁膜を形成する工程と、前記絶縁膜上に第 1 の半導体層を形成する工程と、前記第 1 の半導体層、前記絶縁膜、前記ゲート電極を自己整合的にエッチングする工程と、メモリセル側で選択的に前記第 1 の半導体層に不純物を導入して電荷蓄積層を形成し、電界効果型トランジスタ側では前記第 1 の半導体層をそのまま残す工程と、基板全面に絶縁材を堆積した後、前記絶縁材を後退させて前記電荷蓄積層の上面及び前記第 1 の半導体層の上面を露出させる工程と、露出した前記電荷蓄積層の上面及び前記第 1 の半導体層の上面に電荷授受用絶縁膜を形成した後、パターンニングして前記電荷蓄積層の上面に選択的に残す工程と、メモリセル側では前記電荷授受用絶縁膜上に第 2 の半導体層を形成し、電界効果型トランジスタ側では前記第 1 の半導体層上に前記第 2 の半導体層を形成する工程と、前記ゲート電極の上方の領域以外の前記第 2 の半導体層を選択的に溶解した後、結晶化させることで、溶解した前記第 2 の半導体層に選択的に前記不純物を拡散してソース・ドレインを形成する工程とを具備することを特徴とする。

【0033】このように構成された不揮発性半導体メモリの製造方法によれば、同一基板上のメモリセルと電界効果型トランジスタを同一の工程を用いて製造できるため、工程数の増加や製造コストの増加を引き起こすことがない。

【0034】また、この発明に係る不揮発性半導体メモリを備えた表示装置の製造方法は、メモリセル、選択ゲートトランジスタを有する不揮発性半導体メモリと、表示手段の画素駆動用のトランジスタと、前記表示手段を駆動するための周辺回路用のトランジスタとを有する不揮発性半導体メモリを備えた表示装置の製造方法において、基板上にゲート電極を形成する工程と、前記ゲート電極上に絶縁膜を形成する工程と、前記絶縁膜上に第 1 の非晶質シリコン膜を形成する工程と、前記第 1 の非晶質シリコン膜、前記絶縁膜、前記ゲート電極を自己整合的にエッチングする工程と、メモリセル側で選択的に前記第 1 の非晶質シリコン膜に不純物を導入して高不純物濃度の非晶質シリコン膜を形成し、その他のトランジスタ側では前記第 1 の非晶質シリコン膜をそのまま残す工程と、メモリセル、選択ゲートトランジスタ、及び周辺回路用のトランジスタ側で選択的に、前記高不純物濃度の非晶質シリコン膜及び前記第 1 の非晶質シリコン膜に紫外光を照射して、それぞれ高不純物濃度の多結晶シリコン膜からなる電荷蓄積層、及び多結晶シリコン膜からなる第 1 の半導体層を形成する工程と、基板全面に絶縁材を堆積した後、前記絶縁材を後退させて前記電荷蓄積層の上面、前記第 1 の半導体層の上面、及び画素駆動用のトランジスタ側の前記第 1 の非晶質シリコン膜の上面

を露出させる工程と、露出した前記電荷蓄積層の上面、前記第 1 の半導体層の上面、及び前記第 1 の非晶質シリコン膜の上面に、電荷授受用絶縁膜を形成した後、パターンニングして前記電荷蓄積層の上面に選択的に残す工程と、メモリセル側では前記電荷授受用絶縁膜上に第 2 の非晶質シリコン膜を形成し、選択ゲートトランジスタ及び周辺回路用のトランジスタ側では前記第 1 の半導体層上に前記第 2 の非晶質シリコン膜を形成し、画素駆動用のトランジスタ側では前記第 1 の非晶質シリコン膜上に前記第 2 の非晶質シリコン膜を形成する工程と、メモリセル、選択ゲートトランジスタ、及び周辺回路用のトランジスタ側で選択的に、前記第 2 の非晶質シリコン膜に紫外光を照射して結晶化し、多結晶シリコン膜からなる第 2 の半導体層を形成する工程と、前記ゲート電極の上方の領域以外の前記第 2 の半導体層及び前記第 2 の非晶質シリコン膜を選択的に溶解した後、結晶化させることで、溶解した前記第 2 の半導体層及び前記第 2 の非晶質シリコン膜に選択的に不純物を拡散してソース・ドレインを形成する工程とを具備することを特徴とする。

【0035】このように構成された不揮発性半導体メモリの製造方法によれば、同一基板上のメモリセル、選択ゲートトランジスタ、画素駆動用のトランジスタ、及び周辺回路用のトランジスタを同一の工程を用いて製造できるため、工程数の増加や製造コストの増加を引き起こすことがない。

【0036】

【実施例】以下、図面を参照してこの発明の実施の形態について説明する。

【0037】この発明の実施の形態では、不揮発性半導体メモリと画像表示部を同一の基板上に形成した表示装置、言い換えると不揮発性半導体メモリと画像表示部を 1 つの基板に一体化した不揮発性半導体メモリを備えた表示装置について説明する。

【0038】図 1 は、この発明の実施の形態の不揮発性半導体メモリを備えた表示装置の構成を示す平面図である。

【0039】図 1 に示すように、ガラス基板 2 上には、表示情報に基づいて表示を行う画像表示部 4 と、この画像表示部 4 のロウ側、カラム側に配置され、前記表示情報に基づいて画像表示部 4 を駆動する周辺回路部とが形成されている。ロウ側の周辺回路部はシフトレジスタ 6 を有しており、カラム側の周辺回路部はラッチ・センスアンプ 8 とこれに接続されたシフトレジスタ 10 を有している。さらに、ガラス基板 2 上には、シフトレジスタ 6 及びシフトレジスタ 10 と前記表示情報の授受を行い、この表示情報を記憶する不揮発性半導体メモリ 12（例えば、EEPROM）が形成されている。なお、ガラス基板 2 の外部、つまり表示装置の外部には、不揮発性半導体メモリ 12 に記憶された前記表示情報を受け取り処理を行う処理回路が設けられている。

【0040】前記画像表示部4には複数のワード線14と複数のデータ線16が交差するように配置されており、これらの交点には、液晶画素18とこの液晶画素18を駆動するか否かのスイッチング素子として働く薄膜トランジスタ(TFT)20とが配置されている。薄膜トランジスタ20のゲートにはワード線14が接続され、このワード線14はシフトレジスタ6に接続されている。薄膜トランジスタ20のドレインにはデータ線16が接続され、このデータ線16はラッチ・センスアンプ8に接続されている。薄膜トランジスタ20のソースには液晶画素18の一方の電極が接続され、液晶画素18の他方の電極にはコモン電位が供給される。

【0041】そして、ワード線14に“High”信号が入力するとTFT20のゲートがオン状態になり、データ線16から入力される信号に対応してTFT20のドレイン電流が流れて液晶画素18に電圧が印加される。これにより、前記液晶画素18が駆動され、表示状態あるいは非表示状態となる。

【0042】次に、前記不揮発性半導体メモリ12について詳細に説明する。ここでは、前記画像表示部4が形成された基板と同一の基板上に形成可能なボトムゲート型の2層TFTセルを示す。

【0043】図2は、不揮発性半導体メモリの構成を示す平面図であり、セルアレイ構成として代表的なNOR型とNAND型を、それぞれ図2(a)と図2(b)に示す。

【0044】図2(a)は、NOR型のEEPROMの構成を示す平面図である。

【0045】ワード線WL11、WL12、WL21、WL22、及びソース線SLがロウ方向に配置されている。さらに、A1配線からなるビット線BLがカラム方向、すなわちワード線と直交するように配置されている。ワード線がビット線と直交する部分のワード線の上方には電荷蓄積層FGが形成されている。ワード線WL11とワード線WL22との間には、メモリセルのドレインとビット線BLを接続するビット線コンタクトBCが形成されている。

【0046】また、図2(b)は、NAND型のEEPROMの構成を示す平面図である。

【0047】ワード線WL1~WL8がロウ方向に配置され、これらワード線WL1~WL8を挟むように選択ゲートトランジスタのゲートSGD1、SGD2、SGS1、SGS2が配置されている。ソース線SLがロウ方向に形成されており、A1配線からなるビット線BLがカラム方向、すなわちワード線と直交するように配置されている。選択ゲートトランジスタのゲートSGD1と選択ゲートトランジスタのゲートSGD2との間には、これらトランジスタのドレインとビット線BLとを接続するビット線コンタクトBCが形成されている。さらに、選択ゲートトランジスタのゲートSGS1と選択

ゲートトランジスタのゲートSGS2との間には、ソース線SLを上層配線とを接続するソース線コンタクトSCが形成されている。

【0048】図3(a)及び図3(b)は、それぞれ図2(b)中の3a-3a及び3b-3bに沿った断面図である。図3(a)及び図3(b)に示すように、ガラス基板2上には、低抵抗の高融点金属であるタンタル(Ta)からなる制御ゲート(WL1~WL8...)あるいは選択ゲート(SGD1、SGD2、SGS1、SGS2)22が形成されている。ここでは、画像表示部4との一体化を考慮してガラス基板2を用いているが、石英基板やプラスチック等の基板を用いてもよい。タンタル(Ta)は、LSIでゲートに用いられる多結晶シリコンや、薄膜トランジスタでゲートに用いられるクロム(Cr)よりも低抵抗であるため、液晶表示装置でもよく用いられる材料である。もちろん、Taの代わりに多結晶シリコンやクロム(Cr)、モリブデン(Mo)、アルミニウム(Al)等を用いてもよい。

【0049】制御ゲート22上には、酸化膜からなる層間絶縁膜24、例えばタンタル酸化膜(Ta2O5)が形成されている。ここで、Taの酸化膜であるTa2O5は、誘電率が20~25であり、シリコン酸化膜の誘電率(3.9)の5倍から6倍程の非常に高い誘電率を有している。このため、層間絶縁膜24にTa2O5を用いれば、通常EEPROMで用いられているONO膜よりも膜厚を厚くすることができる。これは、層間絶縁膜24の絶縁耐圧を高くするために非常に有利である。なお、制御ゲート22に、タンタルの代わりに多結晶シリコンやクロム(Cr)、モリブデン(Mo)、アルミニウム(Al)等を用いた場合には、層間絶縁膜24にこれらの酸化膜を用いればよい。

【0050】さらに、層間絶縁膜24上には、リン(P)をドーブした多結晶シリコンからなる電荷蓄積層(n+多結晶シリコン層)26が形成されている。一方、選択ゲートトランジスタの層間絶縁膜24はゲート絶縁膜として働くため、選択ゲートトランジスタの層間絶縁膜(ゲート絶縁膜)24上には、ノンドーブの多結晶シリコンからなる活性層28が形成されている。

【0051】隣接する積層ゲート(電荷蓄積層26、制御ゲート22)の間、積層ゲートと選択ゲートトランジスタのゲート22との間、隣接する選択ゲートトランジスタのゲート22の間には、ゲート分離用の絶縁材30、例えばTEOS膜あるいは2酸化シリコン膜が形成されている。

【0052】さらに、前記電荷蓄積層26上には、電荷授受用絶縁膜32、例えば100Å程度の2酸化シリコン膜が形成されている。この電荷授受用絶縁膜32上には、ノンドーブの多結晶シリコンからなる活性層34が形成されている。前記電荷蓄積層26及び活性層34は、ワード線と直交する方向で制御ゲート22と自己整

合的に端部が一致するように形成されている。一方、選択ゲートトランジスタの活性層28上には電荷授受用絶縁膜32は存在せず、活性層28上にノンドープの多結晶シリコンからなる活性層34が形成されている。

【0053】メモリセル間、メモリセルと選択ゲートトランジスタ間、選択ゲートトランジスタ間のゲートが存在しない領域上、すなわち前記ゲート分離用の絶縁材30上には、リンをドーピングした多結晶シリコン(n+多結晶シリコン)が形成されており、メモリセルおよび選択ゲートトランジスタのソース、ドレイン36を形成している。

【0054】また、選択ゲートトランジスタでは、電荷授受用絶縁膜32が存在しないため、ゲート絶縁膜24上の活性層28とその上部のノンドープの多結晶シリコンからなる活性層34とは電氣的に接触して一層化している。よって、これら活性層28、34は一層の活性層として動作する。また、活性層28、34は、ワード線と直交する方向でゲート22と自己整合的に端部が一致するように形成されている。さらに、ワード線方向に隣接するソース、ドレイン36、活性層28、34と電荷蓄積層26間、及びソース、ドレイン36、活性層34上には、素子分離用の絶縁膜38が形成されている。そして、ソース、ドレイン36の一部には、ビット線コンタクト(BC)40を介してA1配線42が接続される。以上のような構造により、NAND型のEEPROMが形成されている。

【0055】この実施の形態の不揮発性半導体メモリ12におけるメモリセル(トランジスタ)では、電荷蓄積層26と制御ゲート22からなるキャパシタ面積と電荷蓄積層26と活性層34からなるキャパシタ面積はほぼ同じである。このため、メモリセルの容量カップリング比を高くするためには、それぞれのキャパシタの絶縁膜の膜厚と誘電率を適当な値に設定しなければならない。例えば、容量カップリング比を0.6に設定するためには、層間絶縁膜24のキャパシタンスと電荷授受用絶縁膜32のキャパシタンスの比を3:2にしなければならない。よって、前述した2つのキャパシタ面積の比が1(等しい)ならば、層間絶縁膜24のキャパシタンスと電荷授受用絶縁膜32のキャパシタンスにおけるそれぞれの誘電率/膜厚の値を3:2にする必要がある。

【0056】一例として、電荷授受用絶縁膜32として100Åの2酸化シリコン膜を用いた場合、層間絶縁膜24の膜厚はTa2O5を用いたときには、500Å~600Åが適正な範囲となる。この膜厚は通常のONO膜に比べて2.5倍から3倍程度厚いので、絶縁耐圧を高くする点で有利である。さらに、Ta2O5の膜厚500Å~600Åは、実際の薄膜トランジスタのゲート絶縁膜の膜厚としても実用可能な膜厚である。したがって、この実施の形態の不揮発性半導体メモリ12におけるメモリセル構造は、画像表示部4の薄膜トランジ

スタ20と同時に形成することが可能な構造であることがわかる。

【0057】またここでは、層間絶縁膜24として制御ゲート22を形成する高融点金属材の酸化膜を用いているので、制御ゲート22と層間絶縁膜24の界面特性が優れ、動作中のしきい値電圧変動等が少なく、素子の高安定性、高信頼性に有利である。なお、この実施の形態では、層間絶縁膜24としてTa2O5単層の場合を示したが、絶縁特性をさらに向上するために高融点金属との界面側(制御ゲート22面上)にTa2O5を用い、その上に例えば2酸化シリコンを積層してもよい。

【0058】次に、前記不揮発性半導体メモリ12のNAND型EEPROMの製造方法について説明する。

【0059】図4(a)~(d)、図5(a)、(b)は、図2、図3に示したNAND型EEPROMのメモリセル、及び選択ゲートトランジスタの製造方法を示す各工程における断面図である。図面上の左側の断面図はワード線方向に沿って切断した場合の概要を示しており、右側の断面図はビット線方向に沿って切断した場合の概要を示す。

【0060】図4(a)に示すように、ガラス基板2上に、制御ゲート22用の低抵抗の高融点金属膜、例えばタンタル(Ta)を形成する。その後、形成したタンタルの上層部分を酸化して、Taの上部に層間絶縁膜24としてのTa2O5を形成する。この層間絶縁膜24上に、電荷蓄積層26あるいは活性層28となるノンドープの多結晶シリコン膜を形成する。続いて、露光技術を用い、制御ゲートパターンを転写した感光材をマスクにして、活性層28、層間絶縁膜24、制御ゲート22を自己整合的に垂直にエッチングする。以上の工程により、図4(a)に示すような断面構造を得る。

【0061】前記電荷蓄積層26には、 $2 \times 10^{20} [\text{cm}^{-3}]$ 程度のリン(P)のドーピングが必要となる。ゆえに、フォトリソグラフィ法によりレジストのメモリセル部のみを開口し、イオン注入あるいはイオンシャワードーピング等のドーピング技術を用いてリンのドーピングを行う。以上の工程により、図4(b)に示すような断面構造を得る。

【0062】次に、電荷蓄積層26及び活性層28を含むガラス基板2の全面にゲート分離用の絶縁材30を堆積する。堆積後、絶縁材30をCMP法などにより研磨あるいはエッチバックして平坦化し、電荷蓄積層26の上面及び活性層28の上面を露出させる。前記絶縁材30としては、例えばTEOSや2酸化シリコン膜を用いる。続いて、電荷蓄積層26上を含むガラス基板2の全面に電荷授受用絶縁膜32、例えば100Å程度の2酸化シリコン膜を形成する。

【0063】この後、選択ゲートトランジスタあるいは図示しない画像表示部のTFETでは、活性層28をそのままチャネル領域として使用するために、図4(c)に

示すようにフォトリソグラフィ法を用いてレジストパターン44を形成し、活性層28上の電荷授受用絶縁膜32を除去する。以上により、図4(d)に示すような断面構造を得る。

【0064】その後、ガラス基板2の全面に、活性層34となるノンドープの多結晶シリコン膜を形成する。詳しくは、メモリセルでは、図5(a)に示すように、電荷授受用絶縁膜32上に活性層34となるノンドープの多結晶シリコン膜を形成する。選択ゲートトランジスタでは、電荷授受用絶縁膜32が存在しないため、活性層28上に活性層34を形成し、活性層28と活性層34を一層化して選択ゲートトランジスタの活性層28、34とする。

【0065】次に、メモリセルおよび選択ゲートトランジスタのソース、ドレイン36を形成する方法を説明する。活性層34上に固体リンを堆積した後、透明のガラス基板2の制御ゲート22が形成された面の逆面側から、紫外光パルス、例えばエキシマレーザ46を照射する。すると、エキシマレーザ46は、制御ゲート22によって遮光されるため、制御ゲート22が存在する領域の上部の活性層34には照射せず、制御ゲート22が存在しない領域の上部の活性層34のみに照射する。これにより、制御ゲート22が存在しない領域の上部の活性層34のみを熔融させ再結晶化させる。

【0066】熔融された活性層34のシリコン中における不純物の拡散係数は固体中に対して数桁高いため、熔融された活性層34のみに瞬時に不純物のリンが拡散されてドーピングがなされる。なお、活性層34上に残存する不要のリンは液体処理にて除去する。これにより、メモリセルおよび選択ゲートトランジスタのソース、ドレイン36が形成される。このようなレーザ光をガラス基板2の裏面側から照射する方法によれば、レジストパターンを形成することなく、すなわちレジスト材の塗布、露光、現像を行うことなく、制御ゲート22を用いて自己整合的に活性層34にリンをドーピングしてソース、ドレイン(n+多結晶シリコン)36を形成できる。前述の方法では、活性層34上に固体リンを堆積したが、これに替えてリンを含むガス雰囲気中で、活性層34を熔融し再結晶化を行ってリンを活性層34中にドーピングしてもよい。なお、ガラス基板2は、紫外光を透過する材質から成っている。

【0067】また、ソース、ドレイン36を形成するための別の方法として、次のような工程を用いてもよい。活性層34上にボジ型レジストを塗布し、透明のガラス基板2の制御ゲート22が形成された面の逆面側からボジ型レジストを露光した後、現像して、制御ゲート22と自己整合的にレジストパターンを形成する。その後、レジストパターンをマスクとしてガラス基板2の制御ゲート22が形成された面側から、通常の紫外光、例えばエキシマレーザ46を照射して露出した活性層34面を

熔融させることで、前述の方法と同様に活性層34上に堆積させた固体リンあるいはリンを含むガス雰囲気から、リンを制御ゲート22が存在しない領域の上部の活性層34中にドーピングしてもよい。以上の工程により、ガラス基板において紫外光を透過するために必要な材質上の制約や紫外光照射時のダメージを何ら伴うことなく、図5(a)に示すような断面構造を得ることができる。

【0068】ソース、ドレイン36を形成した後、図5(b)に示すように制御ゲート22と交差する方向にソース、ドレイン36、活性層28、34、電荷授受用絶縁膜32、電荷蓄積層26を側端が一致するようにエッチングする。以上の工程により、図5(b)に示すような断面構造を得る。

【0069】その後、ガラス基板2の全面に、素子分離用の絶縁膜38を堆積する。続いて、絶縁膜38にコンタクト用の孔を開孔し、コンタクト材を埋め込んでビット線コンタクト40を形成する。絶縁膜38上にA1膜を形成しパターンニングして、ビット線コンタクト40を介してドレイン36に接続されたA1配線42を形成する。以上の工程により、図3に示したようなメモリセル及び選択ゲートトランジスタを有するNAND型EEPROMが製造できる。この実施の形態の不揮発性半導体メモリ12の製造方法を用いれば、メモリセルに近接して配置される選択ゲートトランジスタ、及び同一基板上に設けられる画素駆動用TFTも同一の製造工程を用いて同時に形成することができる。

【0070】次に、前記不揮発性半導体メモリ12が形成された基板と同一基板上に形成可能な画像表示部4内の画素駆動用TFT及び周辺回路用TFTについて説明する。ここでは、画素駆動用TFT及び周辺回路用TFTとして、活性層に多結晶シリコンを用いたTFT(以下多結晶シリコンTFT)を示す。基本的には、このTFTは、図2、図3で示した選択ゲートトランジスタと同一構造となっている。

【0071】図6(a)は、この実施の形態の画像表示部4内の画素駆動用TFT、周辺回路用TFTとしての多結晶シリコンTFTの構成を示す平面図であり、図6(b)は平面図中の6b-6b線に沿った断面図である。

【0072】図6(a)、図6(b)に示すように、ガラス基板2上には、低抵抗の高融点金属であるタンタル(Ta)からなる制御ゲート22が形成されている。ここでは、透明なガラス基板2を用いているが、その他の透明な基板を用いてもよい。タンタル(Ta)の代わりに、多結晶シリコンやクロム(Cr)、モリブデン(Mo)、アルミニウム(Al)等を用いてもよい。

【0073】制御ゲート22上には、酸化膜からなる層間絶縁膜24、例えばタンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>)が形成されている。ここで、Taの酸化膜であるTa<sub>2</sub>

05 は、誘電率が20~25であり、シリコン酸化膜の誘電率(3.9)の5倍から6倍程の非常に高い誘電率を有している。このため、層間絶縁膜24にTa<sub>2</sub>O<sub>5</sub>を用いれば、通常MOSFETで用いられているシリコン酸化膜よりも膜厚を厚くすることができる。これは、層間絶縁膜24の絶縁耐圧を高くするために非常に有利である。

【0074】多結晶シリコンTFTにおける層間絶縁膜24はゲート絶縁膜として働くため、層間絶縁膜(ゲート絶縁膜)24上には、ノンドープの多結晶シリコンからなる活性層28が形成されている。この活性層28上には、ノンドープの多結晶シリコンからなる活性層34が形成されている。そして、活性層28とその上部の活性層34は電氣的に接触しており、これら活性層28、34は一層の活性層として動作する。

【0075】制御ゲート22の両側には、ゲート分離用の絶縁材30、例えばTEOS膜あるいは2酸化シリコン膜が形成されている。この絶縁材30上には、リンをドーピングした多結晶シリコンからなるソース、ドレイン36が形成されている。

【0076】なお、活性層28、34は、制御ゲート22に対して自己整合的に形成されている。さらに、ソース、ドレイン36上及び活性層34上には、絶縁膜38が形成されている。ソース、ドレイン36には、コンタクト40を介してA1配線42が接続される。以上のような構造により、画素駆動用TFT及び周辺回路用TFTとしての多結晶シリコンTFTが形成されている。

【0077】次に、この発明の実施の形態の不揮発性半導体メモリを備えた表示装置を構成する各トランジスタの断面構造を説明する。

【0078】この不揮発性半導体メモリを備えた表示装置は、不揮発性半導体メモリにメモリセル、選択ゲートトランジスタを有し、画像表示部に画素駆動用TFT、周辺回路用TFTを有している。また、ここでは画素駆動用TFTは、活性層に非晶質シリコンを用いている。

【0079】図7は、この発明の実施の形態の表示装置におけるメモリセル、選択ゲートトランジスタ、画素駆動用TFT、及び周辺回路用TFTの構造を示す断面図である。

【0080】図面上の左側から順番に、メモリセル、選択ゲートトランジスタ、周辺回路用TFT、画素駆動用TFTを示している。メモリセル、選択ゲートトランジスタは、図3(b)を用いて説明した通りであり、周辺回路用TFTは図6(b)を用いて説明した通りである。また、画素駆動用TFTは、図6(b)において多結晶シリコンからなる活性層28、34を非晶質シリコン膜48、50に替えたものであり、その他の構造は図6(b)に示すTFTと同様である。

【0081】メモリセルでは、電荷蓄積層26にリンドープの多結晶シリコン、活性層34にノンドープの多結

晶シリコンが用いられる。また、選択ゲートトランジスタ及び周辺回路用TFTでは、チャンネル領域にノンドープの多結晶シリコンが用いられる。画素駆動用TFTでは、チャンネル領域にノンドープの非晶質シリコンが用いられる。

【0082】一般に、非晶質シリコンTFTに用いられる非晶質シリコンは、膜中のダングリングボンドを減少させるために水素を導入して水素化されている。そのため、非晶質シリコン中に光が入射するとダングリングボンドをターミネートしている水素原子が切れて膜中を動き、TFTのしきい電圧を変動させてしまう。これはステブラル・ウロンスキ効果と呼ばれており、非晶質シリコンTFTで防止しなければならない問題である。

【0083】この実施の形態で示した画素駆動用TFTでは、活性層の非晶質シリコンはゲート電極上のみに存在するため、非晶質シリコンに対してゲート電極が遮光板として働く。これにより、表示装置使用時などにガラス基板2の裏面から光が非晶質シリコンに入射されることを防止できるため、この実施の形態の表示装置では前述の問題を回避することができる。

【0084】また、この実施の形態の表示装置においては、選択ゲートトランジスタ、画素駆動用TFT、周辺回路用TFTのゲート絶縁膜として、メモリセルの電荷授受用絶縁膜32ではなく層間絶縁膜24が用いられている。これらトランジスタのゲート絶縁膜ではメモリセルのゲート絶縁膜とは異なり、制御ゲート22に供給された電圧が直接印加されることになるが、こうしたゲート絶縁膜としてTa<sub>2</sub>O<sub>5</sub>等の誘電率の高い酸化膜を厚く形成することは、絶縁耐圧を高める上で非常に有利となる。なお、積層ゲート構造のメモリセルにおいては、メモリセルの容量カップリング比を高める観点から、一般に層間絶縁膜24には電荷授受用絶縁膜32よりも誘電率の高い材料が用いられるので、メモリセルの層間絶縁膜24を選択ゲートトランジスタ、画素駆動用TFT、周辺回路用TFTのゲート絶縁膜として利用することで、層間絶縁膜24が特に高融点金属の酸化膜を含む場合に限らず、ONO膜等であってもこのような構造になり、有効に絶縁耐圧が高められる。

【0085】次に、図7に示した不揮発性半導体メモリを備えた表示装置の製造方法について説明する。

【0086】図8(a)~(c)、図9は、前記不揮発性半導体メモリを備えた表示装置の製造方法を示す各工程における断面図である。

【0087】図8(a)に示すように、ガラス基板2上に、制御ゲート22用の低抵抗の高融点金属膜、例えばタンタル(Ta)を形成する。その後、形成したタンタルの上層部分を酸化して、Taの上部に層間絶縁膜24としてのタンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>)を形成する。この層間絶縁膜24上に、電荷蓄積層26あるいは活性層28となるノンドープの非晶質シリコン膜48を形成



する。続いて、フォトリソグラフィ法を用い、制御ゲートパターンを転写した感光材をマスクにして、非晶質シリコン膜 48、層間絶縁膜 24、制御ゲート 22 を自己整合的に垂直にエッチングする。以上の工程により、図 8 (a) に示すような断面構造を得る。

【0088】メモリセルにおける電荷蓄積層 26 には、 $2 \times 10^{20} [\text{cm}^{-3}]$  程度のリン (P) のドーピングが必要となる。ゆえに、フォトリソグラフィ法によりレジストのメモリセル部のみを開口した後、イオン注入あるいはイオンシャワードーピング等のドーピング技術を用いて、メモリセルの非晶質シリコン膜 48 にリンのドーピングを行い、 $n+$  非晶質シリコン膜を形成する。

【0089】さらに、メモリセルの前記  $n+$  非晶質シリコン膜と、選択ゲートトランジスタ及び周辺回路用 TFT の非晶質シリコン膜 48 を、紫外光パルス、例えばエキシマレーザの照射により結晶化し、それぞれリンドープの多結晶シリコン膜 ( $n+$  多結晶シリコン膜) からなる電荷蓄積層 26 と、ノンドープの多結晶シリコン膜からなる活性層 28 を形成する。以上の工程により、図 8 (b) に示すような断面構造を得る。

【0090】次に、電荷蓄積層 26、活性層 28、及び非晶質シリコン膜 48 を含むガラス基板 2 の全面にゲート分離用の絶縁材 30 を堆積する。堆積後、絶縁材 30 を CMP 法などにより研磨あるいはエッチバックして平坦化し、電荷蓄積層 26 の上面、活性層 28 の上面、及び非晶質シリコン膜 48 の上面を露出させる。前記絶縁材 30 としては、例えば TEOS や 2 酸化シリコン膜を用いる。続いて、電荷蓄積層 26 上を含むガラス基板 2 の全面に電荷授受用絶縁膜 32、例えば 100 Å 程度の 2 酸化シリコン膜を形成する。

【0091】この後、選択ゲートトランジスタ、周辺回路用 TFT、及び画素駆動用 TFT では、活性層 28 及び非晶質シリコン膜 48 を電荷蓄積層にせずそのままチャネル領域として使用するため、活性層 28 及び非晶質シリコン膜 48 上の電荷授受用絶縁膜 32 を除去する。

【0092】その後、ガラス基板 2 の全面に、画素駆動用 TFT で活性層となるノンドープの非晶質シリコン膜 50 を形成する。詳述すると、メモリセルでは、電荷授受用絶縁膜 32 上に非晶質シリコン膜 50 を形成する。選択ゲートトランジスタ及び周辺回路用 TFT では、電荷授受用絶縁膜 32 が存在しないため、活性層 28 上に非晶質シリコン膜 50 を形成する。画素駆動用 TFT でも、電荷授受用絶縁膜 32 が存在しないため、非晶質シリコン膜 48 上に非晶質シリコン膜 50 を形成する。

【0093】続いて、画素駆動用 TFT を除く、メモリセル、選択ゲートトランジスタ及び周辺回路用 TFT では、非晶質シリコン膜 50 を、紫外光パルス、例えばエキシマレーザの照射により結晶化して多結晶シリコンからなる活性層 34 を形成する。これにより、メモリセルでは、電荷授受用絶縁膜 32 上にチャネル領域となる活

性層 34 が形成される。選択ゲートトランジスタ及び周辺回路用 TFT では、活性層 28 と活性層 34 が電氣的に接触しており、これら活性層 28、34 は一層の活性層として動作する。さらに、画素駆動用 TFT では、非晶質シリコン膜 48 と非晶質シリコン膜 50 が電氣的に接触しており、これら非晶質シリコン膜 48、50 は一層の活性層として動作する。以上の工程により、図 8 (c) に示すような断面構造を得る。

【0094】次に、メモリセル、選択ゲートトランジスタ、周辺回路用 TFT、及び画素駆動用 TFT のソース、ドレイン 36 を形成する方法を説明する。活性層 34 上及び非晶質シリコン膜 50 上に固体リンを堆積した後、透明のガラス基板 2 の制御ゲート 22 が形成された面の逆面側から、紫外光パルス、例えばエキシマレーザを照射する。すると、エキシマレーザは、制御ゲート 22 によって遮光されるため、制御ゲート 22 が存在する領域上部に位置する活性層 34 及び非晶質シリコン膜 50 には照射せず、制御ゲート 22 が存在しない領域上部の活性層 34 及び非晶質シリコン膜 50 のみに照射する。これにより、制御ゲート 22 が存在しない領域の上部の活性層 34 及び非晶質シリコン膜 50 のみを熔融させ (再) 結晶化させる。

【0095】熔融された活性層 34 及び非晶質シリコン膜 50 のシリコン中における不純物の拡散係数は固体中に対して数桁高いため、熔融された活性層 34 及び非晶質シリコン膜 50 のみに瞬時に不純物のリンが拡散されてドーピングがなされる。なお、活性層 34 上及び非晶質シリコン膜 50 上に残存する不要のリンは液体処理にて除去する。これにより、メモリセル、選択ゲートトランジスタ、周辺回路用 TFT、及び画素駆動用 TFT のソース、ドレイン 36 が形成される。

【0096】このようなレーザ光をガラス基板 2 の裏面側から照射する方法によれば、レジストパターンを形成することなく、すなわちレジスト材の塗布、露光、現像を行うことなく、制御ゲート 22 を用いて自己整合的に活性層 34 及び非晶質シリコン膜 50 にリンをドーピングしてソース、ドレイン ( $n+$  多結晶シリコン) 36 を形成できる。前述の方法では、活性層 34 上及び非晶質シリコン膜 50 上に固体リンを堆積したが、これに替えてリンを含むガス雰囲気中で、活性層 34 及び非晶質シリコン膜 50 を熔融し (再) 結晶化を行ってリンを活性層 34 中及び非晶質シリコン膜 50 中にドーピングしてもよい。

【0097】また、ソース、ドレイン 36 を形成するための別の方法として、次のような工程を用いてもよい。活性層 34 上及び非晶質シリコン膜 50 上にポジ型レジストを塗布し、透明のガラス基板 2 の制御ゲート 22 が形成された面の逆面側からこのポジ型レジストを露光した後、現像して、制御ゲート 22 と自己整合的にレジストパターンを形成する。その後、レジストパターンをマ

スクとしてガラス基板 2 の制御ゲート 22 が形成された面側から紫外線を照射し、制御ゲート 22 が存在しない領域上部の活性層 34 及び非晶質シリコン膜 50 を溶解し(再)結晶化することで、拡散源の固体リンあるいはリンを含むガス雰囲気からリンをドーピングしてもよい。以上の工程により、図 9 に示すような断面構造を得る。

【0098】その後、ガラス基板 2 の全面に絶縁膜を堆積した後、コンタクトを介してソース、ドレイン 36 に接続された A1 配線等を形成する。以上の工程により、不揮発性半導体メモリを備えた表示装置が製造できる。この実施の形態の製造方法を用いれば、メモリセル、これに近接して配置される選択ゲートトランジスタ、さらに同一基板上に設けられる周辺回路用 TFT 及び画素駆動用 TFT も同一の製造工程を用いて同時に形成することができる。

【0099】この発明の望ましい実施態様を列記すると次のようになる。

【0100】1. 基板は、ガラス基板あるいは石英基板等の絶縁性基板であり、紫外光を透過すること。

【0101】2. 制御ゲートは、Ta、Mo、Cr、Al 等の低抵抗、高融点金属であり、ゲート絶縁膜に用いられるその酸化膜は 2 酸化シリコンや窒化シリコンに比べて高誘電率を有すること。例えば、タンタル酸化膜 (Ta<sub>2</sub>O<sub>5</sub>) では  $\epsilon = 20 \sim 25$  であり、2 酸化シリコン (SiO<sub>2</sub>) の 5 倍から 6 倍である。

【0102】3. メモリセルの電荷蓄積層は多結晶シリコンであり、この多結晶シリコンはリンがドーピングされて  $2 \times 10^{20} [cm^{-3}]$  程度の不純物濃度を有していること。

【0103】4. メモリセルのチャネル層はノンドープの多結晶シリコンであり、画素駆動用 TFT の活性層はノンドープの非晶質シリコンであること。

【0104】なお、この発明が適用される不揮発性半導体メモリ、不揮発性半導体メモリを備えた表示装置及びその製造方法は前述した実施の形態に示した一例のみではないことは言うまでもない。また、発明の内容を逸脱しない範囲で、この発明を種々変形して使用することが可能である。

【0105】

【発明の効果】以上述べたようにこの発明によれば、画素駆動用の薄膜トランジスタと同一の製造工程を用いて、工程数の増加やコストの増加を抑えて形成可能な不揮発性半導体メモリを実現することにより、高性能化及び低コスト化が可能な不揮発性半導体メモリを備えた表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】この発明の実施の形態の不揮発性半導体メモリを備えた表示装置の構成を示す平面図である。

【図 2】前記不揮発性半導体メモリの構成を示す平面図

である。

【図 3】図 2 (b) 中の 3a-3a 及び 3b-3b に沿った断面図である。

【図 4】図 2、図 3 に示した NAND 型 EEPROM のメモリセル、及び選択ゲートトランジスタの製造方法を示す各工程における断面図である。

【図 5】図 2、図 3 に示した NAND 型 EEPROM のメモリセル、及び選択ゲートトランジスタの製造方法を示す各工程における断面図である。

【図 6】この発明の実施の形態の画像表示部内の画素駆動用 TFT、周辺回路用 TFT としての多結晶シリコン TFT の構成を示す平面図及び断面図である。

【図 7】この発明の実施の形態の表示装置におけるメモリセル、選択ゲートトランジスタ、画素駆動用 TFT、及び周辺回路 TFT の構造を示す断面図である。

【図 8】前記表示装置の製造方法を示す各工程における断面図である。

【図 9】前記表示装置の製造方法を示す各工程における断面図である。

【図 10】従来の液晶ディスプレイにおける画素駆動用 TFT の断面図である。

【図 11】従来の EEPROM の一つである FET MOS 型 EEPROM のメモリセル構造を示す平面図及び断面図である。

【符号の説明】

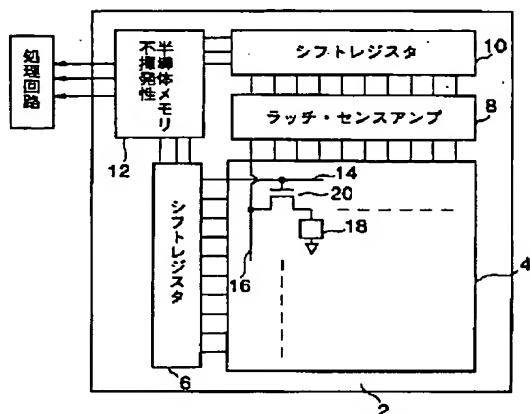
- 2…ガラス基板
- 4…画像表示部
- 6…シフトレジスタ
- 8…ラッチ・センスアンプ
- 10…シフトレジスタ
- 12…不揮発性半導体メモリ
- 14…ワード線
- 16…データ線
- 18…液晶画素
- 20…薄膜トランジスタ (TFT)
- WL11、WL12、WL21、WL22…ワード線
- SL…ソース線
- BL…ビット線
- FG…電荷蓄積層
- BC…ビット線コンタクト
- WL1~WL8…ワード線
- SGD1、SGD2、SGS1、SGS2…選択ゲートトランジスタのゲート
- SC…ソース線コンタクト
- 22…制御ゲート
- 24…層間絶縁膜
- 26…電荷蓄積層 (n+ 多結晶シリコン層)
- 28…活性層
- 30…絶縁材
- 32…電荷授受用絶縁膜



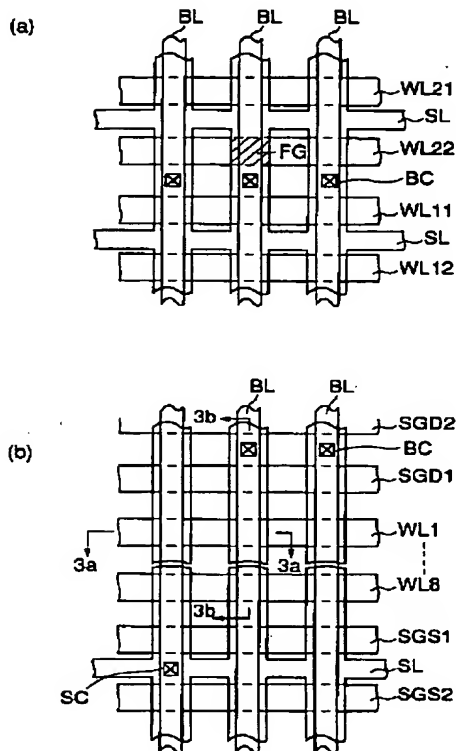
34…活性層  
36…ソース、ドレイン  
38…絶縁膜  
40…ビット線コンタクト

42…Al配線  
44…レジストパターン  
46…エキシマレーザ  
48、50…非晶質シリコン膜

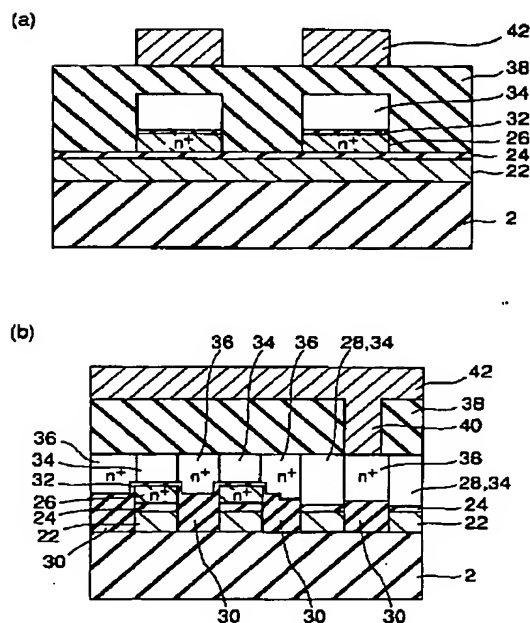
【図1】



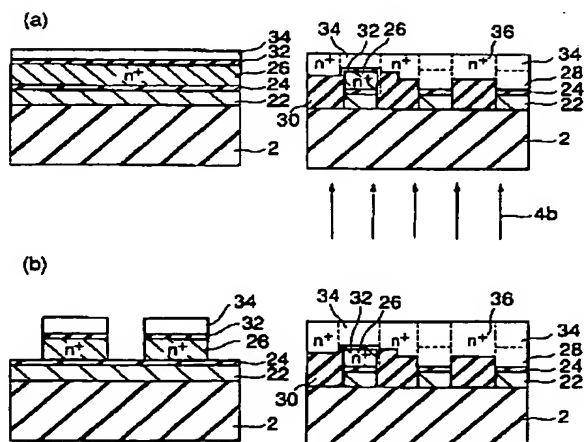
【図2】



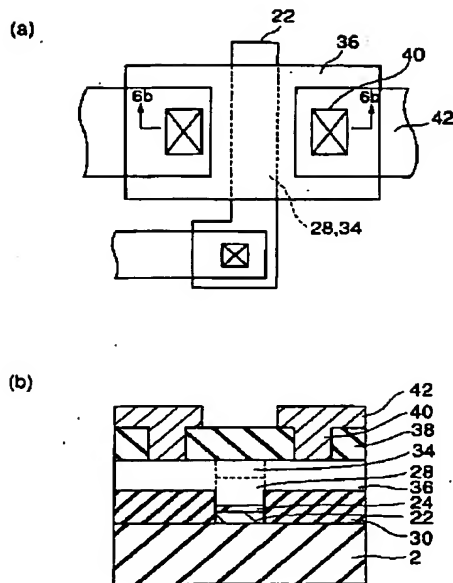
【図3】



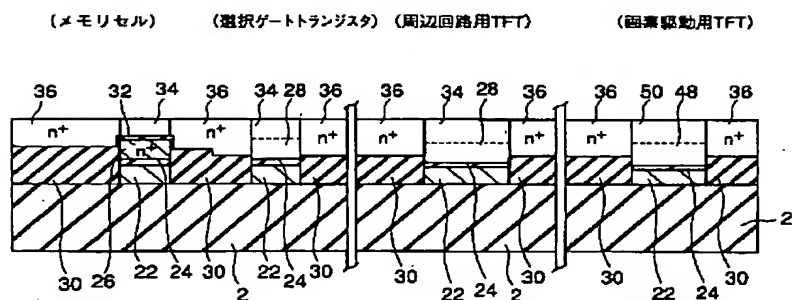
【図5】



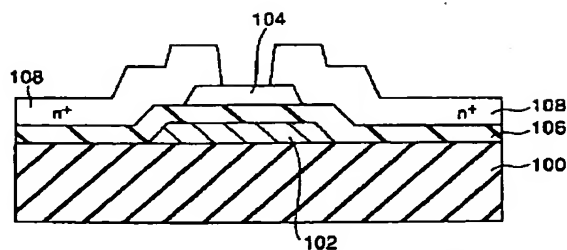
【図 6】



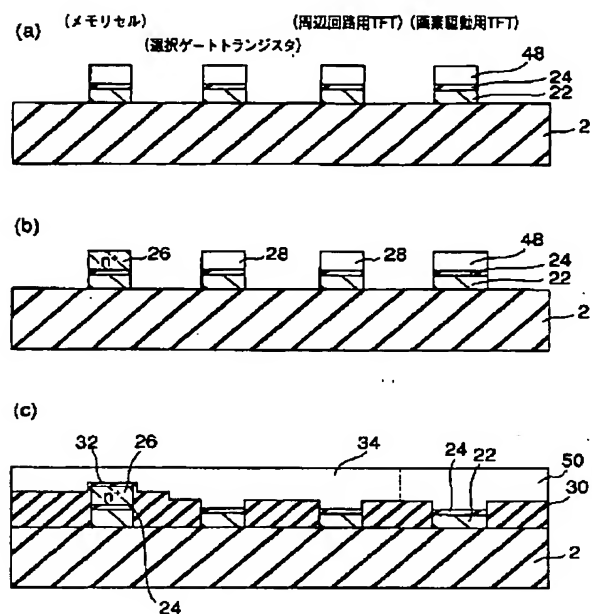
【圖 7】



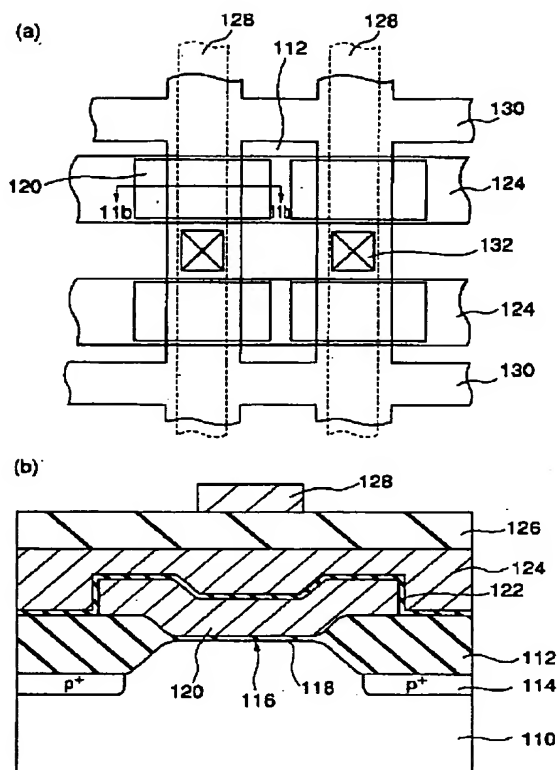
【図 10】



【図8】



【図11】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 27/115

27/10

29/786

H04N 5/66

識別記号

481

102

FI

H01L 27/10

29/78

テーマコード(参考)

434 5F110

612B

612C

Fターム(参考)	2H092	JA26	JA29	JA38	JA42	JB13	
		JB23	JB32	JB33	JB51	JB61	
		KA04	KA07	KA12	KA16	KA18	
		KA22	MA05	MA08	MA14	MA15	
		MA16	MA18	MA19	MA20	MA24	05
		MA27	MA30	MA31	MA35	MA37	
		MA41	NA25	NA27	NA29	PA06	
5C058	AA09	AB01	BA01	BA35	BB13		
5C094	AA43	AA44	AA51	AA56	BA03		
		BA43	CA19	DA09	DA13	DB01	10
		DB04	DB10	EA04	EA05	FA01	
		FA02	FA10	FB02	FB12	FB14	
		FB15	GA10	GB10			
5F001	AA06	AA63	AB04	AB08	AD08		
		AD41	AD53	AD70	AG07	AG24	15
		AG30	AG31	AG40			
5F083	EP23	EP44	EP54	EP56	EP76		
		EP77	ER21	GA28	GA30	HA10	
		JA02	JA06	JA32	JA36	JA39	
		PR29	PR33	PR40	PR43	PR44	20
		PR45	PR53	PR54	PR55	ZA11	
5F110	AA03	AA06	AA07	AA12	AA16		
		AA19	AA30	BB02	BB08	CC07	
		CC08	DD01	DD02	DD03	EE03	
		EE04	EE09	FF01	FF02	GG02	25
		GG13	GG15	GG22	GG35	HJ16	
		HJ17	HL03	NN44	NN46	NN47	
		NN62	NN78	NN80	PP03	PP11	
		PP16	QQ08	QQ11	QQ12	QQ19	
		QQ21					30